



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2001144204 A**(43) Date of publication of application: **25.05.01**

(51) Int. Cl.

H01L 23/12(21) Application number: **11325770**(71) Applicant: **NEC CORP**(22) Date of filing: **16.11.99**(72) Inventor: **HONDA KOICHI****(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF**

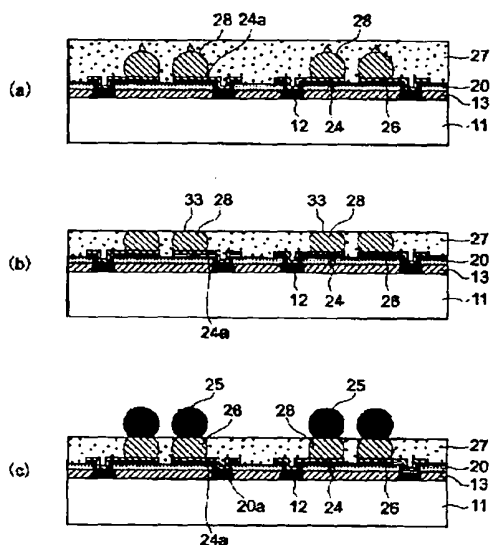
and for connecting the other end of the rewiring pattern portion 24a to the metal bump 25.

(57) Abstract:

COPYRIGHT: (C)2001,JPO

PROBLEM TO BE SOLVED: To provide a semiconductor device which eliminates the need for an under-fill resin, improves reliability in packaging by relaxing stress applied to a metal bump, prevents a damage from being caused to a device around the bump during a recycling processing, and can be manufactured at low cost, and to provide a method for manufacturing the device.

SOLUTION: A semiconductor device has a semiconductor chip whose electrode pad 12 formed on a semiconductor substrate 11 is connected to each electrode corresponding to multi-layer wiring board 32 via metal bump 25, an insulating resin layer 20 covering the semiconductor substrate 11 and having an opening 20a exposing the electrode pad 12, a rewiring pattern portion 24a whose one end is connected to the electrode pad 12 and whose other end is projected from the opening 20a and extended above the insulating resin layer 20, an elastic insulating stress-relaxing resin layer 27 covering the insulating resin layer 20 and the rewiring pattern portion 24a, and a conductive bump 28 buried in the insulating stress-relaxing resin layer 27



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2001-144204
(P2001-144204A)

(43)公開日 平成13年5月25日(2001.5.25)

(51)Int.Cl.⁷
H 0 1 L 23/12

識別記号

F I
H 0 1 L 23/12

テマコード*(参考)

L

審査請求 有 請求項の数6 O L (全 9 頁)

(21)出願番号 特願平11-325770

(22)出願日 平成11年11月16日(1999.11.16)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 本多 広一

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100096231

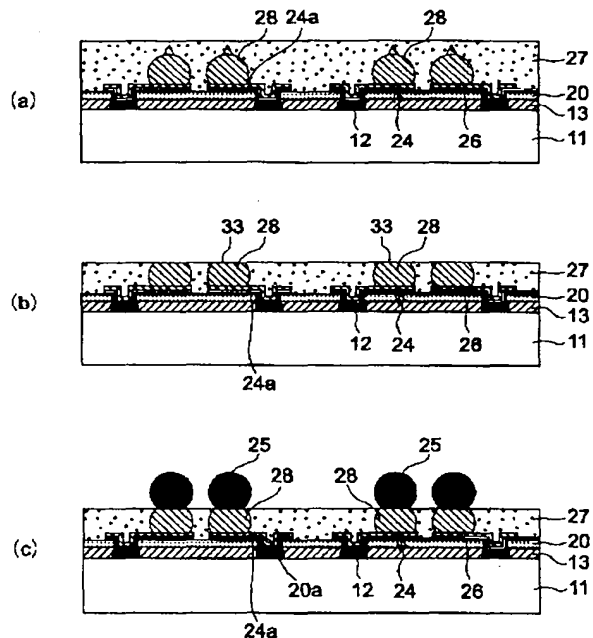
弁理士 稲垣 清

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】 (修正有)

【課題】 アンダーフィル樹脂を不要としながらも、金属バンプに働く変形応力を緩和して実装信頼性を向上させ、周辺デバイス等に対する再生処理時のダメージを回避し、低コストを実現できる半導体装置及びその製造方法を提供する。

【解決手段】 半導体装置は、半導体基板11上に形成された電極パッド12が多層配線基板32の対応する各電極に金属バンプ25を介して接続される半導体チップを備え、半導体基板11を覆い電極パッド12を露出する開口部20aを備えた絶縁性樹脂層20と、電極パッド12に一端が接続され且つ他端が開口部20aから突出して絶縁性樹脂層20上に延びる再配線パターン部24aと、絶縁性樹脂層20及び再配線パターン部24aを被覆する、弾性を有する絶縁性応力緩衝樹脂層27と、絶縁性応力緩衝樹脂層27に埋設され再配線パターン部24aの他端と金属バンプ25とを接続する導電性バンプ28とを備える。



【特許請求の範囲】

【請求項1】 半導体基板上に形成された電極パッドが実装基板の対応する各電極に金属バンプを介して接続される半導体チップを備えた半導体装置において、前記半導体基板を覆い前記電極パッドを露出する開口部を備えた絶縁層と、前記電極パッドに一端が接続され且つ他端が前記開口部から突出して前記絶縁層上に延びる第1導電部材と、前記絶縁層及び第1導電部材を被覆する、弾性を有する絶縁性樹脂層と、前記絶縁性樹脂層に埋設され前記第1導電部材の他端と金属バンプとを接続する第2の導電部材とを備えることを特徴とする半導体装置。

【請求項2】 前記第2導電部材が、前記第1導電部材に接続されたはんだバンプ、又は、前記第1導電部材に導電性接着剤で接着された金属製円柱部材から成る、請求項1に記載の半導体装置。

【請求項3】 前記第2導電部材及び絶縁性樹脂層が複数段重ねて形成される、請求項1又は2に記載の半導体装置。

【請求項4】 前記絶縁性樹脂層が、エポキシ系樹脂、シリコン系樹脂、ポリイミド系樹脂、ポリオレフィン系樹脂、シアネートエステル系樹脂、フェノール系樹脂、ナフタレン系樹脂、又は、フルオレン系樹脂を主成分とする、請求項1～3の何れかに記載の半導体装置。

【請求項5】 前記絶縁層が感光性材料から成る、請求項1～4の何れかに記載の半導体装置。

【請求項6】 半導体基板上に形成された電極パッドが実装基板の対応する各電極に金属バンプを介して接続される半導体チップを備えた半導体装置を製造する製造方法において、前記半導体基板上に、前記電極パッドを露出する開口部を備えた絶縁層を設け、前記電極パッドに一端が接続され且つ他端が前記開口部から突出して前記絶縁層上に延びる第1導電部材を設け、前記第1導電部材の他端に第2導電部材を設け、前記絶縁層、第1導電部材及び第2導電部材上に、弾性を有する絶縁性樹脂層を設け、少なくとも前記絶縁性樹脂層を研磨して前記絶縁性樹脂層の表面から前記第2導電部材を露出させ、前記第2導電部材の前記露出部分に金属バンプを搭載することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に関し、特に、熱膨張率差に起因する金属バンプの損傷等を回避する構造の半導体装置及び該半導体装置の製造方法に関する。

【0002】

【従来の技術】近年の半導体装置では、電子機器の高性能化、小型軽量化及び高速化の要請に応えるため新形態のパッケージが開発されている。搭載する半導体チップの高集積化によって装置の小型化や薄型化が実現され、電子機器の更なる高性能化や高速化が図られており、高密度実装が可能なFCBGA (flip chip ball grid array) 方式によるパッケージも出現している。

【0003】図10は、FCBGA方式による半導体装置を示す側面図であり、(a)は半導体チップを、

(b)は半導体チップの実装状態を夫々示す。半導体チップ31は、周辺部又は活性領域上に所定配列の複数の電極パッドを有し、各電極パッド上には金属バンプ25が搭載される(図10(a))。この半導体チップ31は、最終ユーザ側で、バンプ配列パターンと同じパターンの電極を有する多層配線基板(実装基板)32に実装される。

【0004】一般に、金属バンプ25がはんだボールで構成される場合には、はんだボールは、所定温度下でリフローされて多層配線基板32に固着される。この際に、半導体チップ31と多層配線基板32との熱膨張係数の違いによって応力歪みが発生し、実装信頼性が損なわれるという問題がある。この問題の解決のため、以下のような対策がとられている。

【0005】例えば、材料としては高価な窒化アルミニウム(AlN)、ムライド、ガラセラ等のセラミック系の材料を多層配線基板32に用い、半導体チップ31を主に構成するシリコンの線膨張係数に多層配線基板32の線膨張係数を近づけ、線膨張係数のミスマッチを最小限にして実装信頼性を高めるという対策がとられている。しかし、この対策は、実装信頼性の向上という観点では効果があるものの、多層配線基板32の材料が高価になるので、スーパーコンピュータや大型コンピュータ等の高価な装置への適用用途に限定されることになる。

【0006】そこで、比較的廉価で線膨張係数が大きい有機系材料を用いた多層配線基板を実装に用い、多層配線基板と半導体チップとの間にアンダーフィル樹脂を挿入し、バンプ接続部に働くせん断応力を分散させることで応力歪みを軽減し、実装信頼性を向上させる技術が開発されている。

【0007】

【発明が解決しようとする課題】しかし、上記技術では、廉価な多層配線基板を使用できるが、アンダーフィル樹脂内にボイドが存在する場合、或いは、アンダーフィル樹脂と半導体チップとの界面やアンダーフィル樹脂と多層配線基板との界面の接着性が悪い場合には、リフロー工程で界面剥離現象を誘発し、製品が不良化するという問題が生じ易い。

【0008】FCBGA方式のパッケージは、高性能の大規模半導体集積回路(LSI)に使用されることが一般的であり、製品自体が高価である。そこで、半導体チ

チップ実装後の電気選別工程で、半導体チップ以外の部分に不良が検出された場合には、半導体チップを多層配線基板から取り外して再使用する。この取外し処理では、(図10(c))に示すように、裏面を吸着加熱ツール33で吸着した良品の半導体チップ31を加熱して、バンプ接合部を溶融させながら引き上げ、多層配線基板32から取り外す工程が必要である。

【0009】通常、上記取外し時には、図10(d)に示すように、金属バンプ25にダメージを与えるが、チップ本体部分には損傷は生じない。ここで、半導体チップ31と多層配線基板32との間にアンダーフィル樹脂が介在する半導体装置の場合には、金属バンプ25へのダメージにとどまらず、多層配線基板32を含む周辺デバイスや、半導体チップの活性領域を保護するパッシベーション膜に対してもダメージを与えることになる。この場合、半導体チップ31の再生処理は殆ど不可能に近く、有機系材料から成る廉価な多層配線基板を使用しても、必ずしも低コストを推進できるとはいえ難かった。

【0010】本発明は、上記に鑑み、半導体チップと多層配線基板(実装基板)との間のアンダーフィル樹脂を不要としながらも、金属バンプに働く変形応力を緩和して実装信頼性を向上させると共に、実装基板を含む周辺デバイス等に対する再生処理時のダメージを回避し、低コストを実現できる半導体装置及びその製造方法を提供することを目的とする。

【0011】

【課題を解決するための手段】上記目的を達成するために、本発明の半導体装置は、半導体基板上に形成された電極パッドが実装基板の対応する各電極に金属バンプを介して接続される半導体チップを備えた半導体装置において、前記半導体基板を覆い前記電極パッドを露出する開口部を備えた絶縁層と、前記電極パッドに一端が接続され且つ他端が前記開口部から突出して前記絶縁層上に延びる第1導電部材と、前記絶縁層及び第1導電部材を被覆する、弾性を有する絶縁性樹脂層と、前記絶縁性樹脂層に埋設され前記第1導電部材の他端と金属バンプとを接続する第2の導電部材とを備えることを特徴とする。

【0012】本発明の半導体装置では、半導体チップと実装基板との間のアンダーフィル樹脂を不要としながらも、第2導電部材と弾性を有する絶縁性樹脂層とによって、金属バンプに働く変形応力を効果的に吸収・緩和し、実装信頼性を向上させることができる。また、実装基板を含む周辺デバイス等に対する再生処理時のダメージを回避し、有機系材料から成る廉価な実装基板を使用する際の半導体チップの再生処理を可能にして低コストを実現する。更に、ウエハ状の半導体基板の全面に絶縁性樹脂層を形成し、ウエハレベルで各半導体チップの製造工程を進めることができるので、最終段階でウエハから分離した複数の半導体チップを得ることができる。こ

のため、個々に分割した状態で各半導体チップを製造するパッケージング方法に比して、工程数が大幅に減少し、製造コストを低減できる。

【0013】ここで、前記第2導電部材が、前記第1導電部材に接続されたはんだバンプ、又は、前記第1導電部材に導電性接着剤で接着された金属製円柱部材から成ることが好ましい。この場合、ワイヤボンディング法によりはんだバンプを容易に形成でき、或いは、導電性接着剤を用いて金属製円柱部材を第1導電部材上に容易に設けることができる。

【0014】また、前記第2導電部材及び絶縁性樹脂層が複数段重ねて形成されることが好ましい。この場合、第2導電部材と金属バンプとの離隔距離が増すので、第2導電部材と絶縁性樹脂層とによる変形応力の緩衝効果がより向上する。

【0015】具体的には、前記絶縁性樹脂層を、エポキシ系樹脂、シリコン系樹脂、ポリイミド系樹脂、ポリオレフィン系樹脂、シアネートエステル系樹脂、フェノール系樹脂、ナフタレン系樹脂、又は、フルオレン系樹脂を主成分とする材料で製造することができる。

【0016】また、前記絶縁層が感光性材料から成ることが好ましい。これによると、絶縁層に直接に露光できるので、製造時における絶縁層に対するパターンング処理を、フォトリソ層を形成せずに進めることができ、製造工程が簡略化する。

【0017】本発明の半導体装置の製造方法は、半導体基板上に形成された電極パッドが実装基板の対応する各電極に金属バンプを介して接続される半導体チップを備えた半導体装置を製造する製造方法において、前記半導体基板上に、前記電極パッドを露出する開口部を備えた絶縁層を設け、前記電極パッドに一端が接続され且つ他端が前記開口部から突出して前記絶縁層上に延びる第1導電部材を設け、前記第1導電部材の他端に第2導電部材を設け、前記絶縁層、第1導電部材及び第2導電部材上に、弾性を有する絶縁性樹脂層を設け、少なくとも前記絶縁性樹脂層を研磨して前記絶縁性樹脂層の表面から前記第2導電部材を露出させ、前記第2導電部材の前記露出部分に金属バンプを搭載することを特徴とする。

【0018】本発明の半導体装置の製造方法では、半導体チップと実装基板との間のアンダーフィル樹脂を不要としながらも、第2導電部材と弾性を有する絶縁性樹脂層とによって、金属バンプに働く変形応力を効果的に吸収・緩和し、実装信頼性を向上させることができる。また、実装基板を含む周辺デバイス等に対する再生処理時のダメージを回避し、有機系材料から成る廉価な実装基板を使用する際の半導体チップの再生処理を可能にして低コストを実現する。更に、ウエハ状の半導体基板の全面に絶縁性樹脂層を形成し、ウエハレベルで各半導体チップの製造工程を進めることができるので、最終段階でウエハから分離した複数の半導体チップを得ることがで

きる。このため、個々に分割した状態で各半導体チップを製造するパッケージング方法に比して、工程数が大幅に減少し、製造コストを低減できる。

【0019】

【発明の実施の形態】以下、図面を参照し、本発明の実施形態例に基づいて本発明を更に詳細に説明する。図1～図5は、本発明の第1実施形態例におけるFCBGA方式のパッケージ（半導体装置）の製造工程を順に示す断面図である。

【0020】まず、図1（a）に示すように、半導体基板（シリコン基板）11上に、アルミニウム（Al）又は銅（Cu）等から成るパッド電極12を、半導体チップ毎に外縁部に隣接して位置するように形成する。更に、パッド電極12の外周部及び活性領域面上に、主に活性領域を保護するパッシベーション膜13を形成する。

【0021】更に、図1（b）に示すように、パッド電極12及びパッシベーション膜13上に、SiO₂等の無機系材料又はポリイミド（PI）等の有機系材料から成る絶縁性樹脂層（絶縁層）20を形成する。この絶縁性樹脂層20には、熱分解温度が200℃以上の樹脂材料を用いる。絶縁性樹脂層20に熱硬化成分の材料が配合される際には、所定温度で加熱処理を実施することにより、樹脂成分の架橋反応を促進させて所定の物性値を得る。

【0022】次いで、図1（c）に示すように、絶縁性樹脂層20上にフォトレジスト層15を形成してから、フォトリソグラフィ技術で、パッド電極12に対応する領域以外の部分が残るようにフォトレジスト層15をパターンニング処理する。引き続き、図1（d）に示すように、パターンニング処理したフォトレジスト層15をマスクとし、エッチング法等で絶縁性樹脂層20のパッド電極12上に開口部20aを形成する。

【0023】次いで、図1（e）に示すように、フォトレジスト層15を除去して絶縁性樹脂層20を露出させる。ここで、絶縁性樹脂層20が感光性材料で構成されていれば、絶縁性樹脂層20に対し直接に露光・現像処理を施してパターンニング処理できるので、フォトレジスト層15の形成及び除去工程が不要になる。

【0024】更に、図2（a）に示すように、スパッタリング法等によって、電極パッド12上、開口部20aの内壁、及び絶縁性樹脂層20上に、再配線層の下地金属薄膜層としての電極パッド接着メタル層21を形成する。電極パッド接着メタル層21は、チタン（Ti）系合金、又は、クロム（Cr）等の金属材料で構成されており、Al又はCu等から成る電極パッド12との密着特性及び金属相互拡散が穏やかで、絶縁性樹脂層20との良好な密着特性を有する。また、電極パッド接着メタル層21の形成に先立って、電極パッド12表面にプラズマ表面処理を施し、電極パッド12表面の清浄性を確

保すると共に活性度合いの向上を図ることで、電極パッド12と電極パッド接着メタル層21との接着性を一層向上させることができる。

【0025】引き続き、図2（b）に示すように、電極パッド接着メタル層21上に、Cu等の金属材料から成るめっき給電層メタル膜22をスパッタリング法等で形成する。めっき給電層メタル膜22は、低電気抵抗特性を有し、再配線形成後におけるめっき給電層としての機能を果たす。

【0026】次いで、図2（c）に示すように、電解めっき処理で再配線層を形成するため、めっき給電層メタル膜22上にフォトレジスト層23をコーティングする。この後、図2（d）に示すように、フォトリソグラフィ技術でフォトレジスト層23のパターニング処理を施し、所定の再配線パターンに対応しためっき給電層メタル膜22のみを露出させる。

【0027】更に、図2（e）に示すように、電解Cuめっき処理で、めっき給電層メタル膜22上にのみCuめっき層24を形成する。

【0028】引き続き、図3（a）に示すように、フォトレジスト層23を除去し、フォトレジスト層23で覆われていためっき給電層メタル膜22を露出させる。この後、図3（b）に示すように、Cuめっき層24をマスクとして、めっき給電層メタル膜22を除去し、図3（c）に示すように、Cuめっき層24をマスクとして、電極パッド接着メタル層21をウェットエッチング法等で除去する。これにより、相互に絶縁され、電極パッド12に一端が接続され且つ他端が開口部20aから突出して絶縁性樹脂層20上に延びる再配線パターン部24a（第1導電部材）が得られる。

【0029】次いで、図3（d）に示すように、Cuやはんだ等を主成分とする金属ワイヤを用いたワイヤボンディング法で、各再配線パターン部24aに導電性バンプ（第2導電部材）28を搭載する。この場合、導電性バンプ28の取付けに先立って、再配線パターン部24aにプラズマ表面処理技術によるクリーニング処理を施し、ワイヤボンディング法による導電性バンプ28の取付け特性を向上させることもできる。

【0030】引き続き、図4（a）に示すように、半導体ウエハ上の全面に絶縁性応力緩衝樹脂層（絶縁性樹脂層）27を形成して、導電性バンプ28及び再配線パターン部24aを被覆する。絶縁性応力緩衝樹脂層27は、導電性バンプ28及び再配線パターン部24aを機械的、化学的応力から保護するもので、エポキシ系樹脂、シリコン系樹脂、ポリイミド系樹脂、ポリオレフィン系樹脂、シアネートエステル系樹脂、フェノール系樹脂、ナフタレン系樹脂、又は、フルオレン系樹脂を主成分としている。

【0031】絶縁性応力緩衝樹脂層27は、弾性率が0.01～8GPa（ギガパスカル）の範囲であること

が望ましく、その形成時に、応力緩衝絶縁性樹脂が液状であればスピンコーティング法で形成し、フィルム状であればフィルムラミネート法等で配設することができる。フィルムラミネート法では、各導電性バンプ28に対応する開口部を予め形成したフィルム状の応力緩衝絶縁性樹脂層27を、相互に対応する開口部と導電性バンプ28とを合わせながら絶縁性樹脂層20上に接着する。

【0032】更に、図4(b)に示すように、絶縁性応力緩衝樹脂層27及び導電性バンプ28の上部側を、プラズマ表面処理技術や化学的機械研磨(CMP:Chemical Mechanical Polishing)技術等の研磨技術を用いて研磨し、絶縁性応力緩衝樹脂層27から各導電性バンプ28の上面を露出させ、絶縁性応力緩衝樹脂層27との同一面上に位置する金属バンプ形成用ランド部33を形成する。

【0033】この後、図4(c)に示すように、金属バンプ形成用ランド部33に、錫(Sn)及び鉛(Pb)を主成分とする金属バンプ25を搭載する。金属バンプ25の搭載に先立って、金属バンプ形成用ランド部33に無電解Cuめっきを施し、或いは、この電解Cuめっき後に更に無電解金(Au)めっき処理を施すことができる。この場合に、金属バンプ形成用ランド部33のはんだ濡れ性が向上するので、金属バンプ25が良好に固着できる。また、無電解Cuめっきに代えて、無電解ニッケル(Ni)めっきを施しても、同様の効果が得られる。更に、金属バンプ形成用ランド部33上に、研磨時に発生した研磨くずや有機性皮膜が残存する場合には、プラズマ表面処理技術を用いてクリーニング処理することができる。

【0034】上記に代えて、金属バンプ形成用ランド部33上にフラックス(図示せず)を塗布してから金属バンプ25を搭載し、加熱リフロー工程を施すことで、金属バンプ25を良好に固着することができる。なお、はんだに代えて、金属バンプ25をAu又は錫-銀(Sn-Ag)系合金等で構成することもできる。

【0035】次いで、図5(a)に示すように、ダイシングブレード18を用いて、ウエハ状の半導体基板11を切断し、図5(b)に示すように、個別の半導体チップ10に分離する。

【0036】本実施形態例では、電極パッド12に一端が接続され他端が開口部20aから突出して絶縁性樹脂層20上に延びる再配線パターン部24aの他端に導電性バンプ28が設けられ、この導電性バンプ28が、絶縁性応力緩衝樹脂層27内に埋設された状態で上面に金属バンプ25を有する。このため、実装状態で半導体チップ10と多層配線基板32(図10)との間に線膨張係数のミスマッチがある場合でも、金属バンプ25に働く変形応力を、導電性バンプ28と絶縁性応力緩衝樹脂層27とで効果的に吸収・緩和し、実装信頼性を向上さ

せることができる。また、再配線パターン部24aのパターンを適宜変更するだけで、多層配線基板32の各電極に対する金属バンプ25のピッチを変更することができる。

【0037】また、本実施形態例では、ウエハ状の半導体基板11の全面に絶縁性応力緩衝樹脂層27を形成し、ウエハレベルで各半導体チップ10の製造工程を進めることができるので、最終段階でウエハから分離した多数の半導体チップ10を得ることができる。このため、個々に分割した状態で各半導体チップを製造するパッケージング方法に比して、工程数を大幅に削減し、製造コストを低減することができる。

【0038】更に、半導体チップ10のパッシベーション膜13上に絶縁性樹脂層20が形成されるので、再生処理時に発生する熱や機械的応力から、パッシベーション膜13やパッシベーション膜13下の活性領域面をより確実に保護することができる。これにより、再生処理が極めて容易なFCBGA方式のパッケージを得ることができる。

【0039】次に、本発明の第2実施形態例について説明する。本実施形態例は、図4(b)の工程までは同じプロセスである。同図の工程に後続する本実施形態例の半導体装置の製造工程を図6、図7に示す。

【0040】図6(a)に示すように、Cuやはんだ等を主成分とする金属ワイヤを用いたワイヤボンディング法で、先に形成した導電性バンプ(以下、第1導電性バンプ28aと呼ぶ)の、先に形成した絶縁性応力緩衝樹脂層(以下、第1絶縁性応力緩衝樹脂層27aと呼ぶ)からの露出部分に第2導電性バンプ28bを形成する。

【0041】図6(b)に示すように、第1絶縁性応力緩衝樹脂層27a上に第2絶縁性応力緩衝樹脂層27bを形成し、第1導電性バンプ28a上の第2導電性部材28bを機械的、化学的応力から保護する。第2絶縁性応力緩衝樹脂層27bも第1絶縁性応力緩衝樹脂層27aの場合と同様に、スピンコーティング法、フィルムラミネート法、又はプレス法等で形成できる。

【0042】更に、図6(c)に示すように、第2絶縁性応力緩衝樹脂層27b及び第2導電性バンプ28bの上部側を、第1絶縁性応力緩衝樹脂層27aの場合と同様に、プラズマ表面処理技術やCMP技術等で研磨し、第1絶縁性応力緩衝樹脂層27bから各第2導電性バンプ28bの上面を露出させ、第2絶縁性応力緩衝樹脂層27bとの同一面上に位置する金属バンプ形成用ランド部33を形成する。

【0043】次いで、図7(a)に示すように、第2の導電性バンプ28bの金属バンプ形成用ランド部33に金属バンプ25を、第1実施形態例と同様に搭載する。

【0044】更に、図7(b)に示すように、ダイシングブレード18を用いて、ウエハ状の半導体基板11を切断し、図7(c)に示すように、個別の半導体チップ

10に分離する。

【0045】本実施形態例によると、第1実施形態例と同様の効果が得られる。また、第1実施形態例の半導体装置に比して多層配線基板32への実装時のスタンドオフが高くなるので、第1及び第2導電性バンプ28a、28bと、弾性を有する第1及び第2絶縁性応力緩衝樹脂層27a、27bとにより、金属バンプ25に働く変形応力を一層効果的に吸収し、実装信頼性をより向上させることができる。

【0046】次に、本発明の第3実施形態例について説明する。本実施形態例は、図3(c)の工程までは同じプロセスである。同図の工程に後続する本実施形態例の半導体装置の製造工程を図8、図9に示す。

【0047】まず、図8(a)に示すように、Cuめっき層24の外部端子形成用ランド部24aに、立てた状態の金属製円柱部材30の下端部を導電性接着剤29で固着する。この場合、金属製円柱部材30の固着に先立って、外部端子形成用ランド部24a表面をプラズマ表面処理技術でクリーニング処理し、再配線パターン部24aと金属製円柱部材30との接着性を更に向上させることができる。

【0048】導電性接着剤29は、Cu、Pb、Sn、Ni、パラジウム(Pd)、Ag、Au、Al等の金属性粉末材料の内の少なくとも1を、エポキシ系樹脂、シリコン系樹脂、ポリイミド系樹脂、ポリオレフィン系樹脂、シアネートエステル系樹脂、フェノール系樹脂、ナフタレン系樹脂、又はフルオレン系樹脂等を主成分とする接着樹脂に混合したものである。

【0049】金属製円柱部材30は、Cu、Ni、Pb、Sn、Al、鉄(Fe)、又はインジウム(In)等の金属材料を主成分として構成されるもので、その高さが10~200 μ mの範囲内であることが望ましい。

【0050】更に、図8(b)に示すように、金属製円柱部材30及び再配線パターン部24aを被覆する絶縁性応力緩衝樹脂層27を半導体ウエハ上の全面に形成することで、金属製円柱部材30及び再配線パターン部24aを機械的、化学的応力から保護する。

【0051】次いで、図8(c)に示すように、絶縁性応力緩衝樹脂層27及び金属製円柱部材30の上部側を、プラズマ表面処理技術やCMP技術等で研磨し、絶縁性応力緩衝樹脂層27との同一面上に位置する金属バンプ形成用ランド部34を形成する。

【0052】引き続き、図9(a)に示すように、金属バンプ形成用ランド部34上に、第1及び第2実施形態例と同様に金属バンプ25を搭載する。更に、図9

(b)に示すように、ダイシングブレード18を用いて、ウエハ状の半導体基板11を切断し、図9(c)に示すように、個別の半導体チップ10に分離する。

【0053】本実施形態例によると、第1実施形態例と同様の効果が得られると共に、ワイヤボンディング法に

よらずに、金属製円柱部材30を導電性接着剤29で再配線パターン部24aに容易に固着できるという効果が得られる。

【0054】以上、本発明をその好適な実施形態例に基づいて説明したが、本発明の半導体装置及びその製造方法は、上記実施形態例の構成にのみ限定されるものではなく、上記実施形態例の構成から種々の修正及び変更を施した半導体装置及びその製造方法も、本発明の範囲に含まれる。

【0055】

【発明の効果】以上説明したように、本発明の半導体装置及びその製造方法によると、半導体チップと実装基板との間のアンダーフィル樹脂を不要としながらも、金属バンプに働く変形応力を緩和して実装信頼性を向上させると共に、実装基板を含む周辺デバイス等に対する再生処理時のダメージを回避し、半導体装置の低コストを実現することができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態例における半導体装置の製造過程を示す断面図であり、(a)~(e)は各工程を段階的に示す。

【図2】第1実施形態例における半導体装置の製造過程を示す断面図であり、(a)~(e)は各工程を段階的に示す。

【図3】第1実施形態例における半導体装置の製造過程を示す断面図であり、(a)~(d)は各工程を段階的に示す。

【図4】第1実施形態例における半導体装置の製造過程を示す断面図であり、(a)~(c)は各工程を段階的に示す。

【図5】第1実施形態例における半導体装置の製造過程を示す断面図であり、(a)及び(b)は各工程を段階的に示す。

【図6】本発明の第2実施形態例における半導体装置の製造過程を示す断面図であり、(a)~(c)は各工程を段階的に示す。

【図7】第2実施形態例における半導体装置の製造過程を示す断面図であり、(a)~(c)は各工程を段階的に示す。

【図8】本発明の第3実施形態例における半導体装置の製造過程を示す断面図であり、(a)~(c)は各工程を段階的に示す。

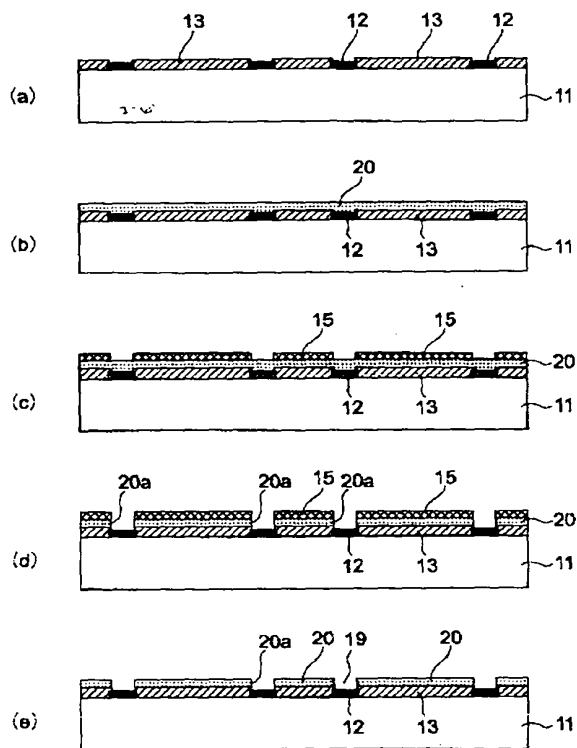
【図9】第3実施形態例における半導体装置の製造過程を示す断面図であり、(a)~(d)は各工程を段階的に示す。

【図10】従来型のFCBGA方式のパッケージ構造を備えた半導体装置を示す側面図であり、(a)は半導体チップを、(b)は半導体チップの実装状態を、(c)は半導体チップの取外し状態を、(d)は取外し後の半導体チップの状態を夫々示す。

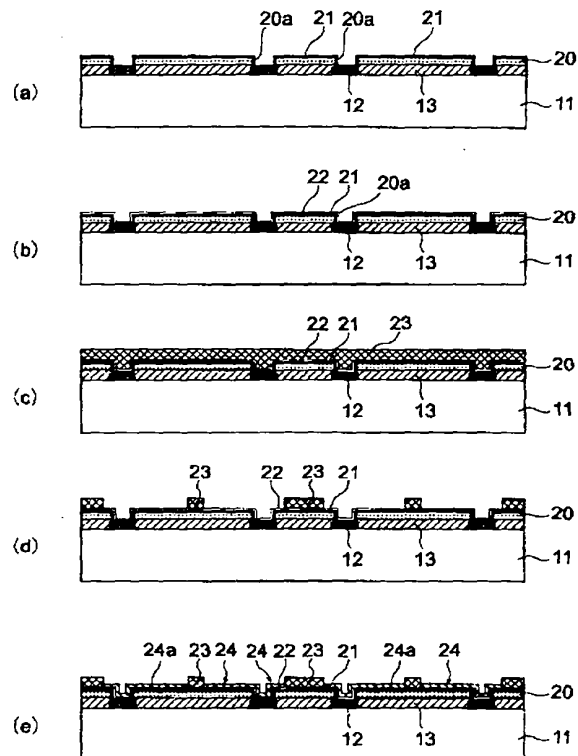
【符号の説明】

- 11：半導体基板
 12：パッド電極
 10：半導体チップ
 13：パッシベーション膜
 15：フォトリソ層
 18：ダイシングブレード
 20：絶縁性樹脂層
 20a：開口部
 21：電極パッド接着メタル層
 22：めっき給電層メタル膜
 23：フォトリソ層
 24：Cuめっき層
 24a：再配線パターン部
 25：金属バンプ
 27：絶縁性応力緩衝樹脂層
 27a：第1絶縁性応力緩衝樹脂層
 27b：第2絶縁性応力緩衝樹脂層
 28：導電性バンプ
 28a：第1導電性バンプ
 28b：第2導電性バンプ
 29：導電性接着剤
 30：金属製円柱部材
 32：多層配線基板
 33、34：金属バンプ形成用ランド部

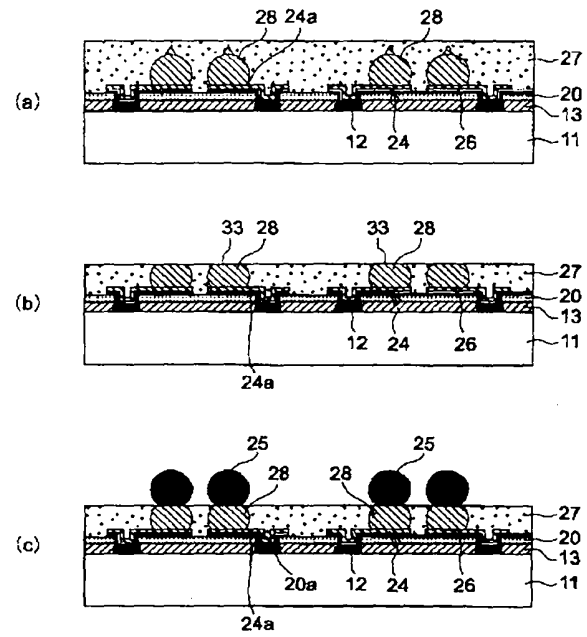
【図1】



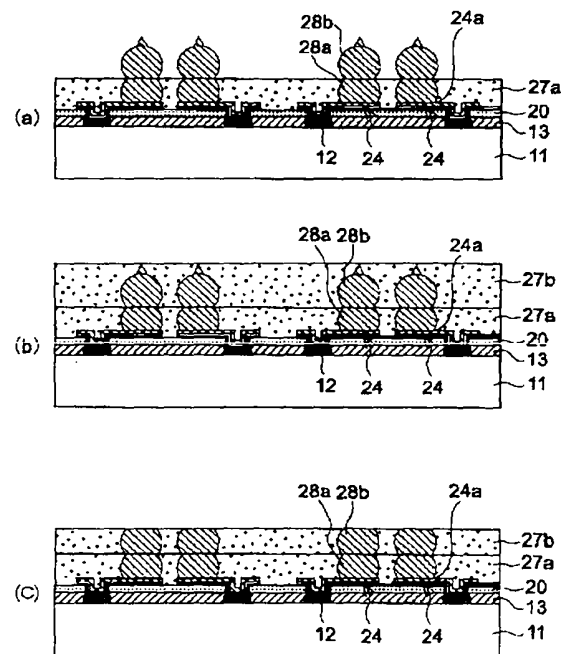
【図2】



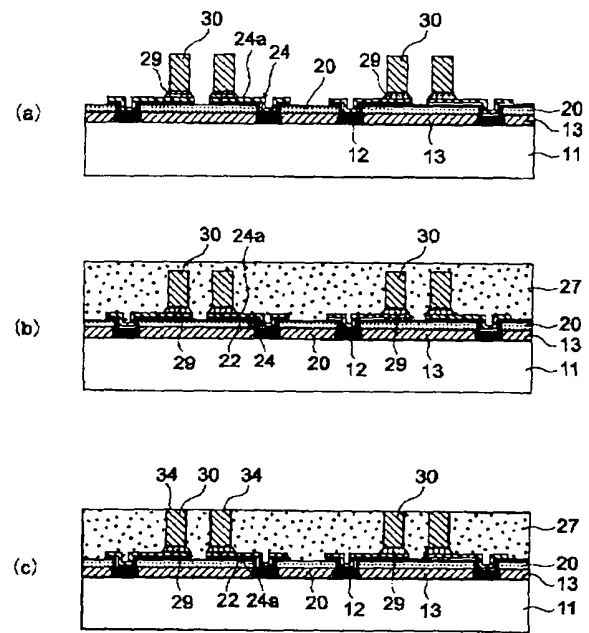
【图 4】



【図5】



【図 8】



【图9】

